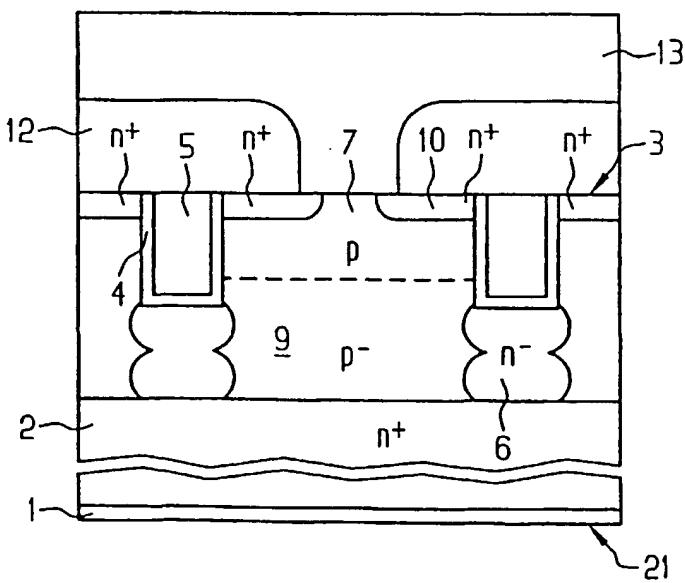




PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁷ : H01L 29/78, 21/336		A2	(11) Internationale Veröffentlichungsnummer: WO 00/57481 (43) Internationales Veröffentlichungsdatum: 28. September 2000 (28.09.00)
(21) Internationales Aktenzeichen: PCT/DE00/00621 (22) Internationales Anmeldedatum: 1. März 2000 (01.03.00)		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(30) Prioritätsdaten: 199 13 375.1 24. März 1999 (24.03.99) DE		Veröffentlicht <i>Ohne internationalem Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): HIRLER, Franz [DE/DE]; Mozartstr. 4, D-84424 Isen (DE). WERNER, Wolfgang [DE/DE]; Säbenerstr. 256, D-81545 München (DE).			
(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).			
<p>(54) Title: MOS-TRANSISTOR STRUCTURE WITH A TRENCH-GATE ELECTRODE AND A REDUCED SPECIFIC CLOSING RESISTOR AND METHODS FOR PRODUCING AN MOS TRANSISTOR STRUCTURE</p> <p>(54) Bezeichnung: MOS-TRANZISTORSTRUKTUR MIT EINER TRENCH-GATE-ELEKTRODE UND EINEM VERRINGERTEM SPEZIFISCHEN EINSCHALTWIDERSTAND UND VERFAHREN ZUR HERSTELLUNG EINER MOS-TRANZISTORSTRUKTUR</p> <p>(57) Abstract</p> <p>The invention relates to an MOS transistor structure with a trench gate electrode and a reduced specific closing resistor. The integral of the doping concentration of the body region in the lateral direction between two adjacent drift regions is greater than or equal to the integral of the doping concentration in a drift region in the same lateral direction. The invention also relates to methods for producing an MOS transistor structure. Body regions and drift regions are produced by means of epitaxial growth and implantation, repeated epitaxial growth or by filling trenches with doped conduction material.</p> <p>(57) Zusammenfassung</p> <p>Beschrieben wird eine MOS-Transistorstruktur mit einer Trench-Gate-Elektrode und einem verringerten spezifischen Einschaltwiderstand, wobei das Integral der Dotierungskonzentration der Bodyregion in der lateralen Richtung zwischen zwei benachbarten Driftregionen größer oder gleich ist wie das Integral der Dotierungskonzentration in einer Driftregion in derselben lateralen Richtung. Weiter werden Verfahren zur Herstellung einer MOS-Transistorstruktur offenbart, wobei Bodyregionen und Driftregionen durch epitaktisches Aufwachsen und Implantation, wiederholtes epitaktisches Aufwachsen oder durch Auffüllen von Gräben mit dotiertem Leitungsmaterial erzeugt werden.</p>			



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CP	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

MOS-Transistorstruktur mit einer Trench-Gate-Elektrode und einem verringerten spezifischen Einschaltwiderstand und Verfahren zur Herstellung einer MOS-Transistorstruktur

Die vorliegende Erfindung betrifft eine MOS-Transistorstruktur mit einer Trench-Gate-Elektrode und einem verringerten Einschaltwiderstand. Es ist ein wichtiges Ziel bei der Entwicklung von MOS-Transistorstrukturen, insbesondere für Leistungstransistoren, eine Verringerung des spezifischen Einschaltwiderstandes der Transistorstruktur zu erreichen. Damit kann einerseits die statische Verlustleistung minimiert werden, andererseits lassen sich höhere Stromdichten erreichen, wodurch kleinere und billigere Halbleiterbauelemente für den gleichen Gesamtstrom verwendet werden können.

Eine bekannte Methode, den spezifischen Einschaltwiderstand zu verringern, besteht darin, statt einer planaren Transistorstruktur eine Transistorstruktur zu verwenden, die eine Trench-Gate-Elektrode aufweist. Der Nachteil solcher Transistorstrukturen ist jedoch das Auftreten von elektrischen Feldspitzen in der Nähe des Gateoxides der Trench-Elektroden, welche bei zu hohen Source-Drain-Spannungen durch Avalanche im angrenzenden Silizium und Injektion von heißen Ladungsträgern das Gateoxid schädigen und zu einer Zerstörung des Bauelementes führen. Eine aus dem Stand der Technik bekannte Abhilfe für dieses Problem ist eine Ausdehnung der Bodyregion bis unter die Trench-Gate-Elektrode in die Transistorstruktur hinein. Eine solche Anordnung ist in Figur 1 dargestellt und ist beispielsweise aus WO 98/04004 oder aus US 5,525,821 entnehmbar. Dabei kann auch vorgesehen sein, daß, wie in Figur 1 dargestellt, in der Bodyregion eine Tiefdiffusion 8 mit höherer Dotierungskonzentration vorgesehen ist, so daß ein Avalanche Durchbruch im Bereich dieser Tiefdiffusion 8 erfolgt. Nachteil dieser Transistorstruktur ist jedoch, daß gerade eine solche Tiefdiffusion eine große laterale Ausdehnung auf-

weist, die einer Verkleinerung der Transistorstrukturen zur Reduzierung des spezifischen Einschaltwiderstandes entgegenwirkt.

- 5 Eine weitere Möglichkeit zur Verringerung des Einschaltwiderstandes ist in US 5,216,275 beschrieben. Dort wird ein Kompen-sationsprinzip angewandt, um im Sperrfall eine weitgehend intrinsische Schicht zu erzeugen, im eingeschalteten Fall jedoch eine Schicht hoher Leitfähigkeit. Dazu wird statt einer
- 10 Driftregion eine Schicht lateral alternierender n- und p-Regionen vorgesehen, deren Ladungen sich im Sperrfall weitgehend aufheben.

Hierzu ist jedoch nötig, neben einer Substratschicht, einer

- 15 Bodyregion, einer Sourceregion und einer Gate-Elektrode eine separate, speziell strukturierte Schicht als Driftregion zu schaffen, die den baulichen Aufwand der Transistoranordnung erhöht

- 20 Aufgabe der vorliegenden Erfindung ist es daher, eine MOS-Transistorstruktur mit einer Trench-Gate-Elektrode bereitzustellen, die auf einfache und effektive Weise eine Verringerung des spezifischen Einschaltwiderstandes ermöglicht.

- 25 Diese Aufgabe wird gelöst durch die Merkmale des Patentanspruchs 1. Die Merkmale der Patentansprüche 6 und 10 beschreiben jeweils ein erfindungsgemäßes Verfahren zur Herstellung einer MOS-Transistorstruktur, insbesondere einer MOS-Transistorstruktur nach Anspruch 1 bis 5. Ein weiteres
- 30 erfindungsgemäßes Verfahren beschreibt Anspruch 12.

Die erfindungsgemäßen MOS-Transistorstrukturen weisen jeweils eine hochdotierte Substratschicht ersten Leitungstyps auf, die eine erste Oberfläche der Transistorstruktur definiert.

- 35 Auf dieser erste Oberfläche ist entweder direkt eine Drain-Metallisierung vorgesehen, oder es kann im Fall eines IGBT in

diesem Bereich noch eine Anodenzone vorgesehen sein, auf der dann die entsprechende Metallisierung aufgebracht ist.

Von einer zweiten Oberfläche der Transistorstruktur aus erstreckt sich eine Bodyregion zweiten Leitungstyps in die Transistorstruktur. In diese Bodyregion ist eine Sourceregion ersten Leitungstyps eingebettet, die sich ebenfalls von der zweiten Oberfläche aus in die Bodyregion erstreckt.

5 Weiterhin erstreckt sich von der zweiten Oberfläche der Transistorstruktur aus eine Gate-Elektrode in die Transistorstruktur, die in einem Graben angeordnet ist, der mit einem Gateoxid ausgekleidet ist. Der Graben weist dabei eine Tiefe auf, die geringer ist als die Tiefe der Bodyregion.

10 Schließlich ist eine Driftregion ersten Leitungstyps vorgesehen, die an den Boden des Grabens angrenzt, und die sich bis zur Substratschicht erstreckt. Diese Driftregion kann dabei insbesondere im Bereich der hochdotierten Substratschicht eine laterale Ausdehnung aufweisen, die größer ist als die laterale Ausdehnung des Grabens der Gate-Elektrode.

15

20

In der erfindungsgemäßen Lösung ist vorgesehen, daß das Integral der Dotierungskonzentration der Bodyregion in lateraler Richtung zwischen zwei benachbarten Driftregionen größer oder gleich ist wie das Integral der Dotierungskonzentration in einer Driftregion in derselben lateralen Richtung. Durch die erfindungsgemäßen Lösungen wird ein Avalanchedurchbruch im Bereich der Trench-Gate-Elektrode verhindert, wobei gleichzeitig eine Struktur bereitgestellt wird, deren Strukturgröße weitgehend frei variiert werden kann. Einer Verkleinerung der Transistorstrukturen stehen praktisch keine Hindernisse entgegen, wodurch eine Erhöhung der Kanalweite pro Fläche und damit eine Verringerung des spezifischen Einschaltwiderstandes erzielt werden kann. Außerdem ist eine höhere Dotierung der Bodyregion sowie der Driftregion möglich, da sich die beiden Gebiete im Sperrfall weitgehend gegenseitig ausräumen

und somit ein weitgehend intrinsisches Gebiet entsteht, das effektiv Sperrspannungen aufnehmen kann.

Im Durchlaßfall jedoch kommt die erhöhte Dotierungskonzentration zum Tragen, die in einer höheren Leitfähigkeit resultiert. Dies gilt insbesondere, wenn das Integral der Dotierungskonzentration der Bodyregion in lateraler Richtung gleich dem Integral der Dotierungskonzentration in der angrenzenden Driftregion in derselben lateralen Richtung ist.

5 Hierbei wird eine praktisch komplett gegenseitige Ausräumung der beiden Gebiete im Sperrfall erreicht. Wird dagegen das Integral der Dotierungskonzentration der Bodyregion größer gewählt als das Integral der Dotierungskonzentration in der Driftregion, so verbleibt im Sperrfall ein Rest an Ladungsträgern in der Bodyregion, wodurch sichergestellt werden kann, daß ein möglicher Avalancedurchbruch im Bereich der Bodyregion und nicht im Bereich der Trench-Gate-Elektrode erfolgt.

10 15

20 Die vorliegende Transistorstruktur ist damit wesentlich einfacher aufgebaut als die Struktur aus dem Stand der Technik, speziell als die Struktur aus US 5,216 275, bei der noch eine zusätzliche Strukturierung der Driftregion notwendig ist. Dies wird im Fall der vorliegenden Erfindung durch eine vor-

25 teilhafte Anpassung der Bodyregion selbst vermieden.

In einer bevorzugten Ausführungsform wird vorgesehen, daß das Integral der Dotierungskonzentration in der Bodyregion in lateraler Richtung maximal $2 \times 10^{12} \text{ cm}^{-2}$ beträgt. Dieser Wert liegt in der Regel im Bereich knapp unterhalb der Durchbruchsladung, d. h. derjenigen Ladung in der entsprechenden Bodyregion, bei der ein Durchbruch am pn-Übergang zur angrenzenden Driftregion erfolgen würde, bevor das Gebiet komplett ausgeräumt werden kann. Um einen solchen Durchbruch zu vermeiden, wird die Dotierungskonzentration entsprechend kleiner gewählt.

Es kann vorgesehen sein, daß die Bodyregion durch eine Epitaxieschicht gebildet wird. Die Driftregion kann dann beispielweise durch Implantationsschritte, Diffusionsschritte oder Auffüllen von zuvor gebildeten Gräben mit Halbleitermaterial erfolgen. Hierzu wird auf die nachfolgende Beschreibung verschiedener Herstellungsmöglichkeiten verwiesen. Die Herstellung dotierter Gebiete mittels Auffüllen von Gräben ist prinzipiell aus US 5,216,275 bekannt.

10 Um beispielsweise die Einsatzspannung im Kanalbereich unabhängig von der Gesamtladung der Bodyregion gestalten zu können, kann vorgesehen sein, daß die Dotierungskonzentration der Bodyregion einen Gradienten aufweist. Es kann dabei ein Gradient in lateraler Richtung und/oder ein Gradient in vertikaler Richtung in der Bodyregion vorgesehen werden.

15

Bei einem ersten erfindungsgemäßen Verfahren zur Herstellung einer MOS-Transistorstruktur werden folgende Schritte durchgeführt:

20 Bereitstellen einer hochdotierten Substratschicht ersten Leitungstyps,

25 epitaktisches Aufwachsen einer Bodyschicht zweiten Leitungstyps,

Bilden einer Sourceregion in der Bodyschicht,

30 Strukturieren eines Grabens in die Bodyschicht, der an die Sourceregion angrenzt,

35 Implantieren von Dotiermaterial ersten Leitungstyps durch den Boden des Grabens in die Bodyschicht vor oder nach Bildung einer Gateoxidschicht, die den Graben auskleidet,

Auffüllen des Grabens mit einer Gate-Elektrode.

Es erfolgt somit ein epitaktisches Aufwachsen einer Bodyschicht direkt auf der hochdotierten Substratschicht, ohne daß zwischen diesen beiden Schichten noch eine Driftregion vorgesehen wäre. Es kann dabei in einer bevorzugten Ausführungsform während des Aufwachsens eine Variation der Dotierungskonzentration der Bodyschicht erfolgen. Die Bildung einer Driftregion erfolgt erst nach dem Strukturieren von Gate-Gräben in die Bodyschicht. Das Dotiermaterial wird dabei so in die Bodyschicht implantiert, daß eine Driftregion entsteht, die vom Boden des Gate-Grabens bis zur hochdotierten Substratschicht reicht. Dies kann durch entsprechende Wahl der Geometrie und der Implantationsparameter erfolgen, oder durch eine nach der Implantation durchgeführte Ausdiffusion des Dotiermaterials bis zur hochdotierten Substratschicht. Es können auch alternativ mehrere Implantationsschritte mit unterschiedlicher Implantationsenergie durchgeführt werden, um eine Driftregion der gewünschten Ausdehnung bis zur hochdotierten Substratschicht herzustellen.

Der Gate-Graben kann so in die Bodyschicht strukturiert werden, daß er unmittelbar an eine Sourceregion angrenzt. Es kann aber auch vorgesehen werden, daß der Graben durch eine Sourceregion in die Bodyschicht strukturiert wird, so daß sich automatisch ein Angrenzen des Grabens an die Sourceregion sowie die Bodyschicht ergibt.

In einem weiteren erfindungsgemäß Verfahren wird eine MOS-Transistorstruktur in einer Aufbautechnik hergestellt. Es erfolgt dabei:

Bereitstellen einer hochdotierten Substratschicht ersten Leitungstyps,

Bildung von Bodyregionen und Driftregionen durch wiederholtes epitaktisches Aufwachsen einer dotierten Teilschicht ersten oder zweiten Leitungstyps, wobei jeweils nach dem Aufwachsen der Teilschicht Bereiche des entgegengesetzten Leitungstyps

in der Teilschicht zur Bildung säulenförmiger Strukturen erzeugt werden,

Bilden von Sourceregionen in den Bodyregionen,

5

Strukturieren von Gräben in den Driftregionen, die an mindestens eine Bodyregion und eine Sourceregion angrenzen, Auskleiden der Gräben mit einem Gateoxid und Auffüllen der Gräben mit einer Gateelektrode.

10

Es kann dabei vorgesehen sein, daß die Bildung der beschriebenen säulenförmigen Strukturen bereits mit dem Aufwachsen der ersten Teilschicht erfolgt. Es kann jedoch auch vorgesehen sein, daß zunächst eine oder mehrere Teilschichten zur

15

Bildung einer weiteren Driftregion auf die hochdotierte Substratschicht aufgewachsen werden. Erst bei dem Aufwachsen späterer Teilschichten erfolgt dann die Bildung der säulenförmigen Strukturen durch die Vorsehung der entsprechenden Bereiche entgegengesetzten Leitungstyps in den Teilschichten.

20

In diesem Fall weist somit bei der kompletten Struktur die Bodyregion einen gewissen Abstand von der hochdotierten Substratschicht auf, wobei die beiden Gebiete durch eine Driftregion voneinander getrennt sind.

25

Dieses Verfahren ist zwar durch die Notwendigkeit eines wiederholten Aufwachsen von Teilschichten sowie die Einbringung von dotierten Bereichen in die Teilschichten etwas aufwendiger als das erste Verfahren. Andererseits kann eine exaktere Dotierung der unterschiedlichen Bereiche, d. h. der Bodyregion und der Driftregion, sowie deren Lage und Ausdehnung in der Transistorstruktur eingestellt werden.

30

Das erste erfindungsgemäße Verfahren weist dagegen den Vorteil auf, daß durch das epitaktische Aufwachsen die Bodyschicht mit einer relativ genau definierten Dotierungskonzentration entsprechend den gewünschten Vorgaben erzeugt werden kann, wobei die Driftregion dann durch einen einzigen, bzw.

durch mehrere, direkt aufeinanderfolgende Implantations-schritte, ggf. mit nachfolgender Ausdiffusion, erzeugt werden kann.

5 Ein drittes erfindungsgemäßes Verfahren zur Herstellung einer MOS-Transistorstruktur weist folgende Schritte auf:

Bereitstellen einer hochdotierten Substratschicht ersten Leitungstyps,

10

Bereitstellen einer Bodyschicht zweiten Leitungstyps auf der hochdotierten Substratschicht,

Bildung von Gräben in der Bodyschicht,

15

Auffüllen der Gräben mit dotiertem Halbleitermaterial ersten Leitungstyps,

20

Rückätzen des dotierten Halbleitermaterials auf der Oberfläche der Transistorstruktur bis zur Bodyschicht, so daß Driftregionen ersten Leitungstyps und Bodyregionen zweiten Leitungstyps an die Oberfläche grenzen,

Bilden von Sourceregionen in den Bodyregionen,

25

Strukturieren von Gräben in die Driftregionen, wobei die Gräben an mindestens eine Bodyregion und eine Sourceregion angrenzen,

30

Auskleiden der Gräben mit einer Gateoxidschicht,

Auffüllen der Gräben mit einer Gate-Elektrode.

35

Es kann somit die Bodyregion beispielsweise dadurch erzeugt werden, daß eine Epitaxieschicht mit einer Dotierung entsprechenden Leitungstyps auf der hochdotierten Substratschicht, oder ggf. auf einer Driftregion, die auf der hochdotierten

Substratschicht bereitgestellt wurde, aufgewachsen wird. Die Driftregion wird dann durch Strukturieren von Gräben sowie deren Auffüllen mit Halbleitermaterial gebildet. Anschließend kann die Bildung der Gate-Gräben beispielsweise mit derselben

5 Maske erfolgen, mit der die Gräben für die Driftregion erzeugt wurden, soweit die Toleranzen für ein erneutes Aufbringen dieser gemeinsamen Maske dies erlauben. Es kann somit im Idealfall eine zusätzliche Maske für die Strukturierung der Gate-Gräben eingespart werden.

10 Bei jedem der beschriebenen erfindungsgemäßen Verfahren kann vorgesehen werden, daß die Dotierungskonzentration der Bodyregionen und der Driftregionen so eingestellt wird, daß das Integral der Dotierungskonzentration in einer Driftregion in

15 lateraler Richtung zwischen zwei benachbarten Bodyregionen kleiner oder gleich ist als das Integral der Dotierungskonzentration der Bodyregion in derselben lateralen Richtung. Hierdurch kann, wie bereits beschrieben, eine gegenseitige Ausräumung der Gebiete und damit eine erhöhte Spannungsauf-

20 nahme und Leitfähigkeit der Gebiete erzielt werden, wobei gleichzeitig ein möglicher Avalanchedurchbruch auf den Bereich der Bodyregion beschränkt werden kann. Es wird dabei bevorzugt das Integral der Dotierungskonzentration in einer Bodyregion in lateraler Richtung auf maximal $2 \times 10^{12} \text{ cm}^{-2}$

25 beschränkt.

Darüber hinaus kann bei jedem der erfindungsgemäßen Verfahren vorgesehen werden, daß die Dotierungskonzentration der Bodyregionen so eingestellt wird, daß diese einen Gradienten in

30 vertikaler und/oder lateraler Richtung aufweisen.

Anhand der Figuren 1 bis 7 sowie der nachfolgenden Beschreibung werden spezielle Ausführungsbeispiele der vorliegenden Erfindung erläutert.

35 Es zeigen:

10

Figur 1: Transistoranordnung mit Tiefdiffusion in der Bodyregion nach dem Stand der Technik.

Figur 2: Transistoranordnung mit einer Epitaxieschicht als
5 Bodyschicht und implantierten Driftregionen unter den Gate-
Gräben.

Figur 3: Schematische Darstellung einer Transistoranordnung
mit Bodyregionen, die bis zur hochdotierten Substratschicht
10 reichen.

Figur 4: Anordnung nach Figur 3, wobei zwischen den Bodyre-
gionen und der Substratschicht eine Driftregion vorgesehen
ist.

15

Figur 5: Darstellung der Herstellungsschritte einer Transi-
storstruktur mit Implantation von Dotiermaterial durch den
Boden der Gate-Gräben.

20 Figur 6: Herstellung einer MOS-Transistoranordnung durch Auf-
füllen von Gräben in einer Bodyschicht mit Halbleitermaterial
entgegengesetzten Leitungstyps.

Figur 7: Herstellung einer Transistoranordnung in Aufbautech-
nik durch sukzessives Aufwachsen von Teilschichten und Ein-
bringen von Dotiermaterial entgegengesetzten Leitungstyps in
25 die Teilschichten.

Wie bereits erläutert, zeigt Figur 1 eine MOS-
30 Transistoranordnung nach dem Stand der Technik. Dabei defi-
niert eine hochdotierte n⁺-Substratschicht 2 eine erste Ober-
fläche 21 der Transistoranordnung. Auf diese erste Oberfläche
21 ist eine Drain-Metallisierung 1 aufgebracht. Über der
hochdotierten Substratschicht 2 ist eine n⁻-Driftregion 6 an-
35 geordnet. An diese Driftregion 6 grenzt eine p-Bodyregion 9
an, das eine hochdotierte p⁺-Tiefdiffusion 8 aufweist. In die
Bodyregion 9 sind n⁺-Sourceregionen 10 eindiffundiert. Die

Bodyregion 9 und die Sourceregionen 10 erstrecken sich von einer zweiten Oberfläche 3 der MOS-Transistoranordnung in die Transistorstruktur. Ebenso erstrecken sich Gateelektroden 5, die von einem Gateoxid 4 umgeben und in einem Gate-Graben angeordnet sind, von der zweiten Oberfläche 3 aus in die Transistorstruktur. Eine Oxidschicht 12 überdeckt die Gateelektroden 5 und Teile der Sourceregionen 10. Eine Metallisierung 13 dient zur Kontaktierung der Sourceregionen 10 sowie der Bodyregion 9.

10

Figur 2 zeigt ein Ausführungsbeispiel einer erfindungsgemäßen Transistorstruktur, wobei die Bodyregion 9 durch eine Epitaxieschicht gebildet wird. Diese kann, wie in Figur 2 dargestellt, bezüglich ihrer Dotierungskonzentration einen Gradienten aufweisen. So wird ein unterer Bereich der Bodenschicht gebildet, der eine p⁻-Dotierung aufweist, sowie ein oberer Bereich 7 der Bodenschicht, der eine höhere, p-Dotierung aufweist, die dazu dient, die Einsatzspannung im Kanalbereich der Transistorstruktur einzustellen. Die Bodenschicht 9 grenzt direkt an die hochdotierte n⁺-Substratschicht 2 an. Die n⁻-Driftregion 6 wird lediglich durch implantierte Gebiete unterhalb der Gate-Elektrode 5 gebildet. Die Dotierungskonzentration der Bodenschicht 9 sowie der Driftregion 6 werden dabei so eingestellt, daß das laterale Integral der Dotierungskonzentration der Bodenschicht 9 zwischen zwei Driftregionen 6 größer oder gleich dem Integral der Dotierungskonzentration in einer Driftregion 6 in derselben lateralen Richtung ist. Das Integral der Dotierungskonzentration beträgt dabei maximal $2 \times 10^{12} \text{ cm}^{-2}$.

20

In Figur 3 und 4 sind schematisch zwei Anordnungsmöglichkeiten für die Driftregionen 6 sowie die Bodyregionen 9 dargestellt. Wie Figur 3 zeigt, können die Bodyregionen bis zur hochdotierten n⁺-Substratschicht 2 reichen und somit direkt an diese angrenzen. Es ist aber auch, wie in Figur 4 dargestellt, möglich, daß die Bodyregionen 9 nicht ganz bis zur hochdotierten Substratschicht 2 reichen, sondern daß sich die

12

n⁻-Driftregion 6 einerseits unter die Gate-Elektroden 5 er-
streckt, andererseits auch zwischen den Bodyregionen 9 und
der hochdotierten Substratschicht 2 angeordnet ist. Durch die
gestrichelten Linien in der Driftregion 6 soll angedeutet
5 werden, daß die Bereiche unter den Gate-Elektroden 5 sowie
zwischen den Bodyregionen 9 und der hochdotierten Substrat-
schicht 2 in der Regel ein weitgehend einheitliche Dotierung
aufweisen. Es kann jedoch auch vorgesehen sein, daß zur bes-
seren Gewährleistung einer gegenseitigen Ausräumung der Drif-
10 tregion 6 und der Bodyregionen 9 in der Driftregion unter den
Gate-Elektroden eine etwas andere Dotierungskonzentration ge-
wählt wird als in demjenigen Bereich, der an die hochdotierte
Substratschicht angrenzt.

15 Figur 5 zeigt in Teilschritten a bis d die Herstellung einer
Transistorstruktur, wobei die Bildung der Driftregion 6 unter
den Gate-Elektroden 5 durch eine Implantation von Dotiermate-
rial durch den Boden der Gate-Gräben 14 erfolgt. Hierfür wird
zunächst, wie Figur 5a zeigt, auf einer hochdotierten n⁺-
20 Substratschicht 2 eine p-Bodyschicht 9 bereitgestellt. Es
kann dabei auch, wie Figur 5a zeigt, vorgesehen werden, daß
zwischen der Bodyschicht 9 und der Substratschicht 2 bereits
eine erste Driftregion 6 angeordnet wird. Es kann auch be-
reits in diesem Schritt die Bildung von n⁺-Sourceregionen 10
25 im Bereich der zweiten Oberfläche 3 der Transistorstruktur
erfolgen.

Anschließend erfolgt die Strukturierung von Gate-Gräben 14 in
die p-Bodyschicht 9. Die nicht zu strukturierenden Bereiche
30 der Bodyschicht werden dabei durch eine Maske, beispielsweise
aus einer Oxidschicht 16 und einer Nitridschicht 15 abge-
deckt. Anschließend erfolgt die Implantation von n-
Dotiermaterial durch die Böden der Gate-Gräben 14 in die p-
Bodyschicht 9. Es bilden sich, wie Figur 5c zeigt, somit n-
35 dotierte Bereiche 17 in der p-Bodyschicht 9. Je nach Art der
Implantation können diese n-Bereiche 17 bereits bis zur Drif-
tregion 6 reichen. Es kann jedoch auch vorgesehen werden, daß

eine Ausdehnung der n-Gebiete 17 durch einen nachgeschalteten Diffusionsschritt erfolgt. Die solchermaßen vergrößerten n-Gebiete 17 gehen dann, wie Figur 5d zeigt, in die unter der p-Bodyschicht 9 angeordnete Driftregion 6 über.

5

Anschließend kann zur Vervollständigung der Transistorstruktur ein Auffüllen der Gate-Gräben mit einem Gateoxid 4 sowie einer Gate-Elektrode 5 erfolgen. Schließlich wird die Oxidschicht 12 über der Gate-Elektrode sowie die Metallisierung 10 13 über den Sourceregionen 10 und der Bodyschicht 9 angeordnet.

Wie Figur 5d deutlich zeigt, kann durch eine Implantation und ggf. eine nachfolgende Ausdiffusion erreicht werden, daß die 15 zunächst durchgehende Bodyschicht 9 in einzelne, voneinander getrennte Bodyregionen 9 unterteilt wird. Hierzu ist nicht notwendig das Vorhandensein einer Driftregion 6 zwischen der Bodyschicht 9 und der hochdotierten Substratschicht 2 notwendig, wie die Darstellung in Figur 2 zeigt. Hier wird die 20 Trennung der Bodyschicht in einzelne Bodyregionen 9 allein durch die Implantation einer Driftregion 6 unter die Gate-Elektrode 5 erreicht.

Figur 6 zeigt in den Schritten a bis e die Herstellung einer 25 Transistoranordnung durch Auffüllen von Gräben mit Halbleitermaterial. Hierzu wird, analog zur Figur 5a, zunächst eine hochdotierte Substratschicht 2, eine Driftregion 6, sowie eine darüber angeordnete p-Bodyschicht 9, ggf. bereits Source-Regionen 10 vorgesehen. Auf die Vorsehung einer n-Driftregion 30 6 gemäß Figur 6a kann jedoch auch verzichtet werden.

Gemäß Figur 6b werden zunächst Gräben 18 in die p-Bodyschicht 9 strukturiert, so daß eine Unterteilung der Bodyschicht 9 in einzelne Bodyregionen 9 erfolgt. Hierzu kann eine Maske aus 35 Siliziumoxid 16 und Siliziumnitrid 15 Anwendung finden.

14

Anschließend erfolgt ein Auffüllen der Gräben 18 mit n-dotiertem Halbleitermaterial 19, das die Gräben 18 vollständig auskleidet und auch die Oberfläche 3 der -Transistorstruktur bedeckt. Das Halbleitermaterial 19 wird im Bereich 5 der Oberfläche 3 soweit zurückgeätzt, daß die Bodyregionen 9 wieder an die Oberfläche 3 treten.

Anschließend erfolgt die Strukturierung von Gate-Gräben 14 in die Driftregionen 6 zwischen den Bodyregionen 9, wobei die 10 Gate-Gräben 14 eine geringere Tiefe aufweisen als die Gräben 19, die zuvor zur Bildung der Driftregionen 6 zwischen den Bodyregionen 9 strukturiert wurden. Zur Bildung der Gate-Gräben kann idealerweise dieselbe Maske verwendet werden, die bereits zuvor zur Bildung der Gräben 19 verwendet wurde.

15

Figur 6e zeigt die fertige Transistorstruktur nach Auffüllen der Gate-Gräben 14 mit einem Gateoxid 4 und einer Gate-Elektrode 5, sowie nach Anbringen der Oxidschicht 12 und der Metallisierung 13.

20

Figur 7 zeigt in den Schritten a bis d die Herstellung einer Transistorordnung in einer Aufbautechnik, wobei sukzessive Epitaxie-Teilschichten 20 auf eine hochdotierte Substratschicht 2 aufgewachsen werden. Figuren 7e und 7f zeigen eine 25 Alternative zu den Figuren 7a und 7c.

Gemäß Figur 7a werden auf einer hochdotierten n⁺-Substratschicht 2 nacheinander mehrere p-Epitaxie-Teilschichten 20 aufgewachsen. Nach dem Aufwachsen einer jeden Teilschicht 20 erfolgt die Bildung von n-dotierten Gebieten 6 in den Teilschichten 20. Dies kann beispielsweise durch Implantation oder Diffusion erfolgen. Die n-dotierten Gebiete sind dabei so angeordnet, daß sie über mehrere Teilschichten 20 hinweg als säulenartige Gebilde durchgehende Driftregionen 30 bilden. Dabei werden automatisch zwischen diesen Driftregionen 6 p- Bodyregionen 9 gebildet, die ebenfalls eine säulenartige Struktur aufweisen. Eine solche Anordnung nach dem 35

Aufwachsen aller Teilschichten 20 ist in Figur 7b dargestellt. Die letzte der Teilschichten bildet dabei die zweite Oberfläche 3 der Transistorstruktur.

5 Wie Figur 7c zeigt, erfolgt anschließend die Bildung von n⁺-Sourceregionen 10 in den p-Bodyregionen 9, sowie die Strukturierung von Gate-Gräben 14 in die Driftregionen 6, so daß die Gate-Gräben 14 jeweils an mindestens eine Sourceregion 10 sowie eine p-Bodyregion 9 angrenzen. Die Gate-Gräben 14 erstrecken sich dabei von der zweiten Oberfläche 3 der Transistorstruktur aus in die Transistorstruktur hinein, allerdings in eine geringere Tiefe, als die p- Bodyregionen 9. Schließlich erfolgt die Bildung eines Gate-Oxids 4 sowie einer Gate-Elektrode 5 in jedem der Gate-Gräben 14. Danach kann die übliche Anbringung der Oxidschicht 12 sowie einer Metallisierung 13 auf der Transistorstruktur erfolgen.

Als Alternative zu dem in Figur 7a dargestellten Verfahren kann auch vorgesehen werden, daß als Teilschichten 20 n-dotierte Epitaxieschichten aufgewachsen werden. Dabei kann vorgesehen sein, daß zunächst einige Teilschichten auf der hochdotierten Substratschicht 2 erzeugt werden, in die jedoch keine p-dotierten Gebiete eindiffundiert werden. Es erfolgt somit die Bildung einer Driftregion über der n⁺-dotierten Substratschicht 2. Erst nach der Bildung einer gewissen Anzahl von n-dotierten Teilschichten erfolgt die Bildung von p-dotierten Gebieten 9 in den weiteren Teilschichten 20, wie Figur 7e zeigt. Dabei werden die p-dotierten Gebiete 9 so angeordnet, daß sich säulenartige Gebilde ergeben, die p-Bodyregionen 9 darstellen. Diese Bodyregionen 9 sind durch n-Driftregionen 6, die ebenfalls eine säulenartige Struktur aufweisen, voneinander getrennt, wie aus Figur 7f deutlich wird. Nach Abscheidung aller Teilschichten 20 und somit der Fertigstellung der säulenartigen Struktur erfolgt die Bildung der Sourceregionen 10 sowie die Strukturierung von Gate-Gräben 14 in die säulenartigen Driftregionen 6. Anschließend

16

werden die weiteren Verfahrensschritte durchgeführt, die bereits im Zusammenhang mit der Figur 7d erläutert wurden.

Bei jedem der beschriebenen Herstellungsverfahren kann entweder vorgesehen sein, daß einheitlich dotierte Bodyregionen 9 erzeugt werden. Es kann jedoch auch in den Bodyregionen 9 ein lateraler und/oder vertikaler Gradient der Dotierungskonzentration vorgesehen sein.

Patentansprüche

1. MOS-Transistorstruktur, insbesondere nach Anspruch 1, mit
 - einer hochdotierten Substratschicht (2) ersten Leitungstyps, die eine erste Oberfläche (21) der Transistorstruktur definiert,
 - einer Bodyregion (9) zweiten Leitungstyps, welcher dem ersten Leitungstyp entgegengesetzt ist, wobei sich die Bodyregion (9) von einer zweiten Oberfläche (3) der Transistorstruktur aus in die Transistorstruktur erstreckt,
 - einer Sourceregion (10) ersten Leitungstyps, die sich von der zweiten Oberfläche (3) aus in die Bodyregion (9) erstreckt,
 - einer Gate-Elektrode (5), die in einem Graben (14) angeordnet ist, welcher sich von der zweiten Oberfläche (3) aus in die Transistorstruktur (9) erstreckt und mit einem Gateoxid (4) ausgekleidet ist und dabei an die Bodyregion (9) angrenzt, wobei die Gate-Elektrode (5) eine Tiefe aufweist, die geringer ist als die Tiefe der Bodyregion (9),
 - einer Driftregion (6) ersten Leitungstyps, die an den Boden des Grabens (14) angrenzt und sich bis zur Substratschicht (2) erstrecktdadurch gekennzeichnet,
daß das Integral der Dotierungskonzentration der Bodyregion (9) in der lateralen Richtung zwischen zwei benachbarten Driftregionen (6) größer oder gleich ist wie das Integral der Dotierungskonzentration in einer Driftregion (6) in derselben lateralen Richtung.
2. Transistorstruktur nach Anspruch 1,
dadurch gekennzeichnet,
daß das Integral der Dotierungskonzentration in der Bodyregion (9) in der lateralen Richtung kleiner ist als die Durchbruchsladung.
3. Transistorstruktur nach Anspruch 2,
dadurch gekennzeichnet,

daß das Integral der Dotierungskonzentration in der Bodyregion (9) in der lateralen Richtung maximal $2 \cdot 10^{12} \text{ cm}^{-2}$ beträgt.

4. Transistorstruktur nach einem der Ansprüche 1 bis 3,
5 dadurch gekennzeichnet,
daß die Bodyregion (9) durch eine Epitaxieschicht gebildet
wird.

5. Transistorstruktur einem der nach Ansprüche 1 bis 4,
10 dadurch gekennzeichnet,
daß die Dotierungskonzentration der Bodyregion (9) einen Gra-
dienten aufweist.

6. Verfahren zur Herstellung einer MOS-Transistorstruktur,
15 insbesondere nach einem der Ansprüche 1 bis 5, mit den
Schritten
- Bereitstellen einer hochdotierten Substratschicht (2) er-
sten Leitungstyps,
- epitaktisches Aufwachsen einer Bodyschicht (9) zweiten
20 Leitungstyps,
- Bilden einer Sourceregion (10) in der Bodyschicht (9),
- Strukturieren eines Grabens (14) in die Bodyschicht (9),
der an die Sourceregion (10) angrenzt,
Implantieren von Dotiermaterial ersten Leitungstyps durch den
25 Boden des Grabens (14) in die Bodyschicht (9) vor oder nach
Bildung einer Gateoxidschicht (4), die den Graben (14) aus-
kleidet, so daß eine Driftregion (6) entsteht, die sich vom
Boden des Grabens (14) bis zur hochdotierten Substratschicht
(2) erstreckt,
30 - Auffüllen des Grabens (14) mit einer Gate-Elektrode (5).

7. Verfahren nach Anspruch 6,
wobei eine Variation der Dotierungskonzentration der Body-
schicht (9) während des epitaktischen Aufwachsens erfolgt.
35

8. Verfahren nach einem der Ansprüche 6 bis 7,

wobei das Implantieren mehrere Implantationsschritte unterschiedlicher Implantationsenergie umfaßt.

9. Verfahren nach einem der Ansprüche 6 bis 8,
5 wobei der Graben (14) durch die Sourceregion (10) in die Bodyschicht (9) strukturiert wird.

10. Verfahren zur Herstellung einer MOS-Transistorstruktur, insbesondere nach einem der Ansprüche 1 bis 5, mit den
10 Schritten

- Bereitstellen einer hochdotierten Substratschicht (2) ersten Leitungstyps,
- Bildung von Bodyregionen (9) und Driftregionen (6) durch wiederholtes epitaktisches Aufwachsen einer dotierten
15 Teilschicht (20) ersten oder zweiten Leitungstyps, wobei jeweils nach dem Aufwachsen der Teilschicht (20) Bereiche (6, 9) des entgegengesetzten Leitungstyps in der Teilschicht (20) zur Bildung säulenförmiger Strukturen (6, 9) erzeugt werden,
- Bilden von Sourceregionen (10) in den Bodyregionen (9),
- Strukturieren von Gräben (14) in den Driftregionen (6), die an mindestens eine Bodyregion (9) und eine Sourceregion (10) angrenzen,
- Auskleiden der Gräben (14) mit einer Gateoxidschicht (4),
25 - Auffüllen der Gräben (14) mit einer Gate-Elektrode (5).

11. Verfahren nach Anspruch 10,
wobei vor dem Aufwachsen der Teilschichten die Bereitstellung
einer weiteren Driftregion (6) auf der hochdotierten Substratschicht (2) erfolgt.
30

12. Verfahren zur Herstellung einer MOS-Transistorstruktur mit den Schritten

- Bereitstellen einer hochdotierten Substratschicht (2) ersten Leitungstyps,
- Bereitstellen einer Bodyschicht (9) zweiten Leitungstyps auf der hochdotierten Substratschicht (2),
35

20

- Bildung von Gräben (18) in der Bodyschicht (9),
- Auffüllen der Gräben (18) mit dotiertem Halbleitermaterial (19) ersten Leitungstyps,
- Rückätzen des dotierten Halbleitermaterials (19) auf der 5 Oberfläche (3) der Transistorstruktur bis zur Bodyschicht (9), so daß Driftregionen (6) ersten Leitungstyps und Bodyregionen (9) zweiten Leitungstyps an die Oberfläche (3) grenzen,
- Bilden von Sourceregionen (10) in den Bodyregionen (9),
- 10 - Strukturieren von Gräben (14) in die Driftregionen (6), wobei die Gräben (14) an mindestens eine Bodyregion (9) und eine Sourceregion (10) angrenzen,
- Auskleiden der Gräben (14) mit einer Gateoxidschicht (4),
- Auffüllen der Gräben (14) mit einer Gate-Elektrode (5).

15 13. Verfahren nach Anspruch 12,
wobei vor der Bereitstellung der weiteren Schicht (9) die Bereitstellung einer weiteren Driftregion (6) auf der hochdotierten Substratschicht (2) erfolgt.

20 14. Verfahren nach einem der Ansprüche 12 oder 13,
wobei die Strukturierung der Gräben (14) für die Gate-Elektrode (5) mit derselben Maske erfolgt wie die Strukturierung der Gräben (18) für die Driftregionen (6)

25 15. Verfahren nach einem der Ansprüche 6 bis 14,
wobei die Dotierungskonzentration der Bodyregionen (9) und der Driftregionen (6) so eingestellt werden, daß das Integral der Dotierungskonzentration in einer Driftregion (6) in lateraler Richtung zwischen zwei benachbarten Bodyregionen (9) kleiner oder gleich ist wie das Integral der Dotierungskonzentration der Bodyregion (9) in derselben lateralen Richtung.

30 16. Verfahren nach einem der Ansprüche 6 bis 15,
wobei die Dotierungskonzentration der Bodyregion (9) so eingestellt wird, daß das Integral der Dotierungskonzentration

21

in einer Bodyregion (9) in der lateralen Richtung kleiner ist als die Durchbruchsladung.

17. Verfahren nach Anspruch 16,
- 5 wobei die Dotierungskonzentration der Bodyregion (9) so eingestellt wird, daß das Integral der Dotierungskonzentration in einer Bodyregion (9) in der lateralen Richtung maximal $2 \cdot 10^{12} \text{ cm}^{-2}$ beträgt.
- 10 18. Verfahren nach einem der Ansprüche 6 bis 17, wobei die Bodyregionen (9) so gebildet werden, daß ihre Dotierungskonzentration einen Gradienten aufweist.

15

1/10

FIG 1
Prior Art

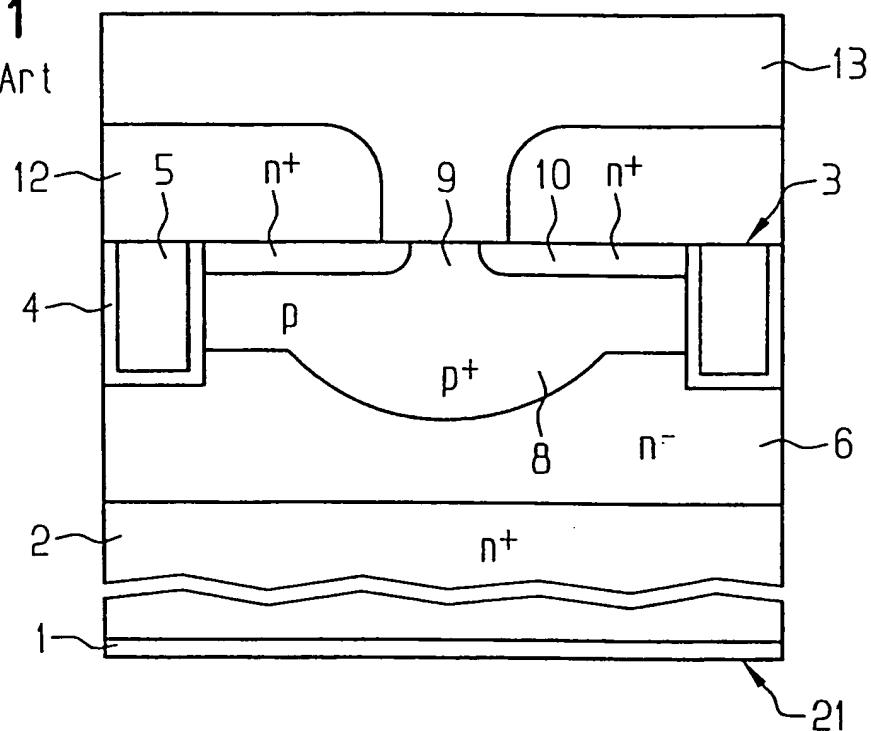
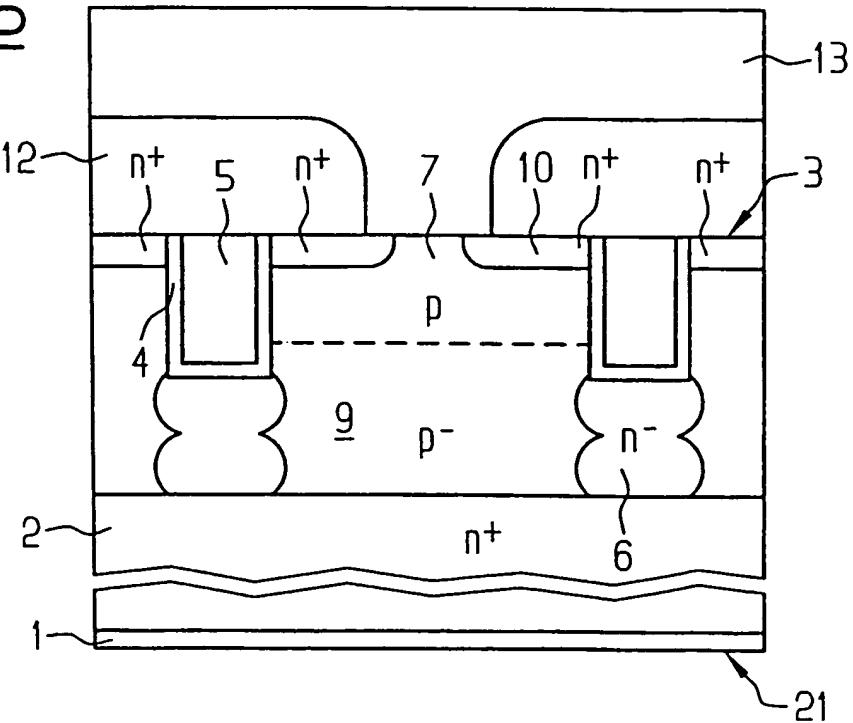


FIG 2



2/10

FIG 3

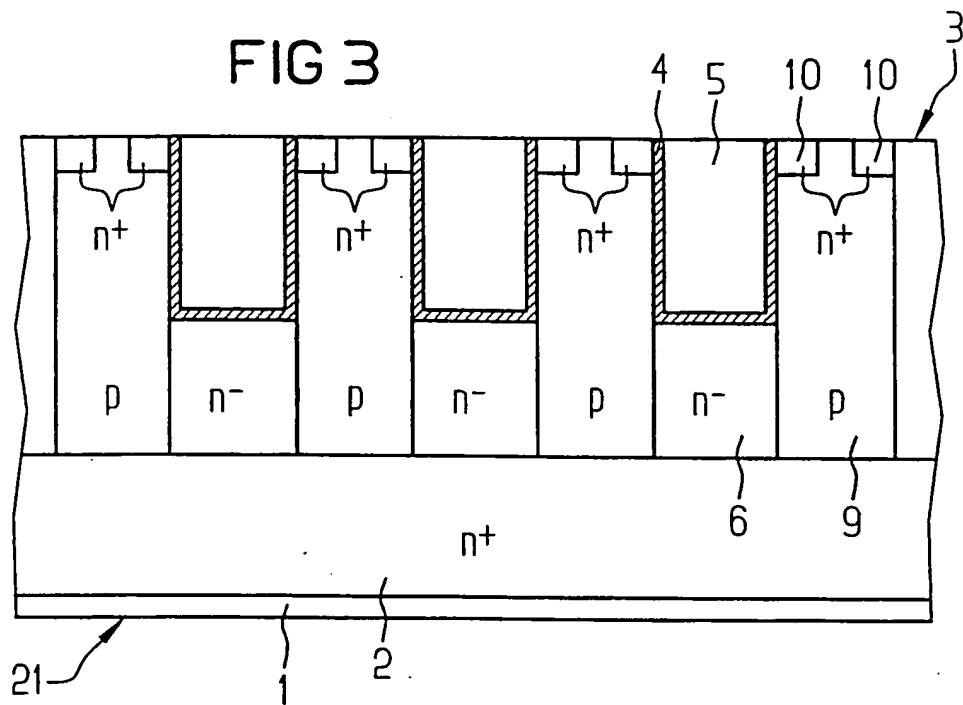
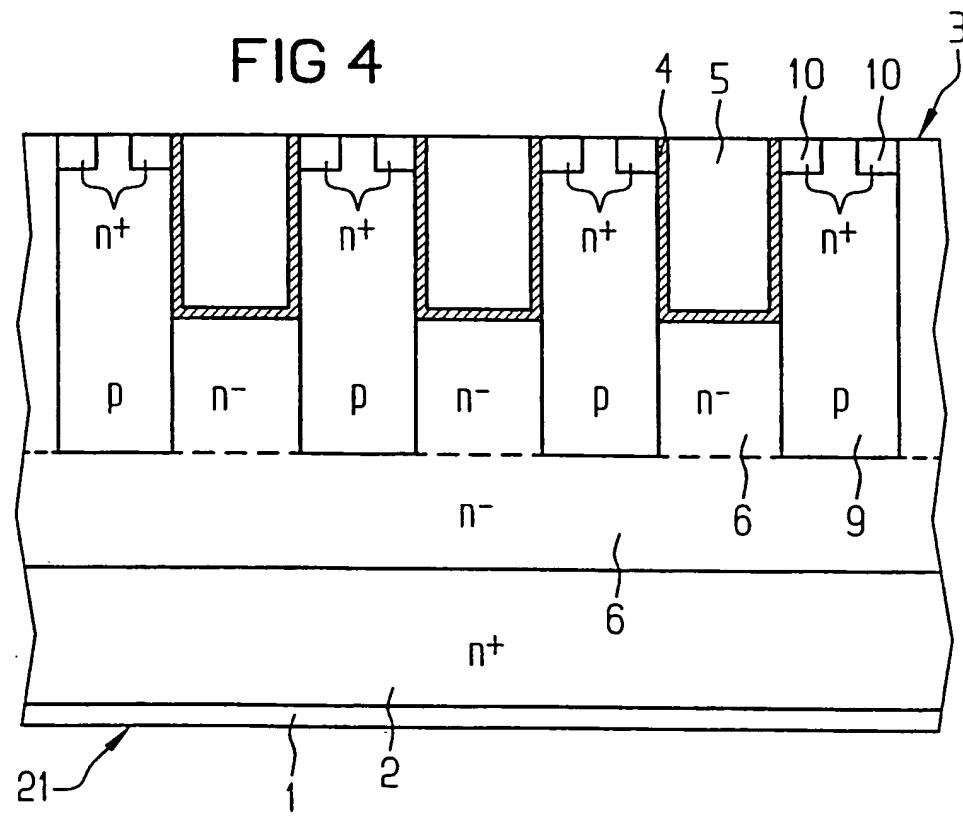


FIG 4



3/10

FIG 5A

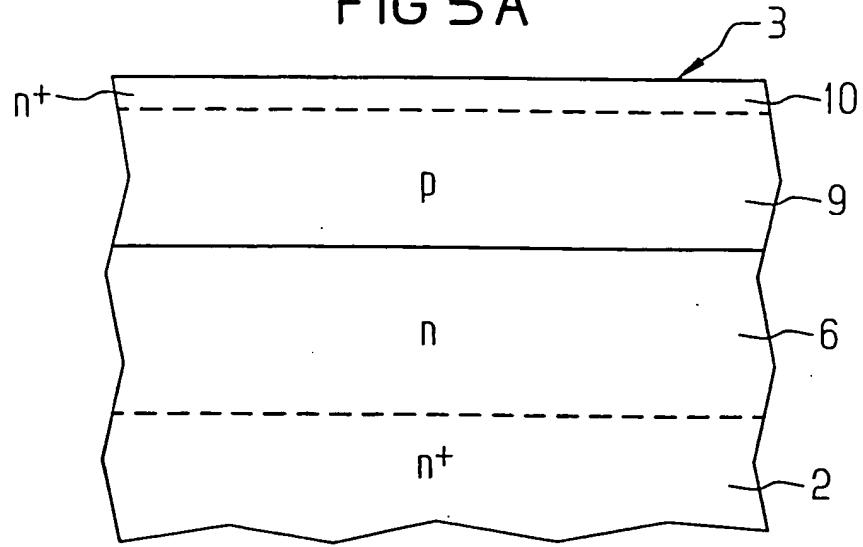
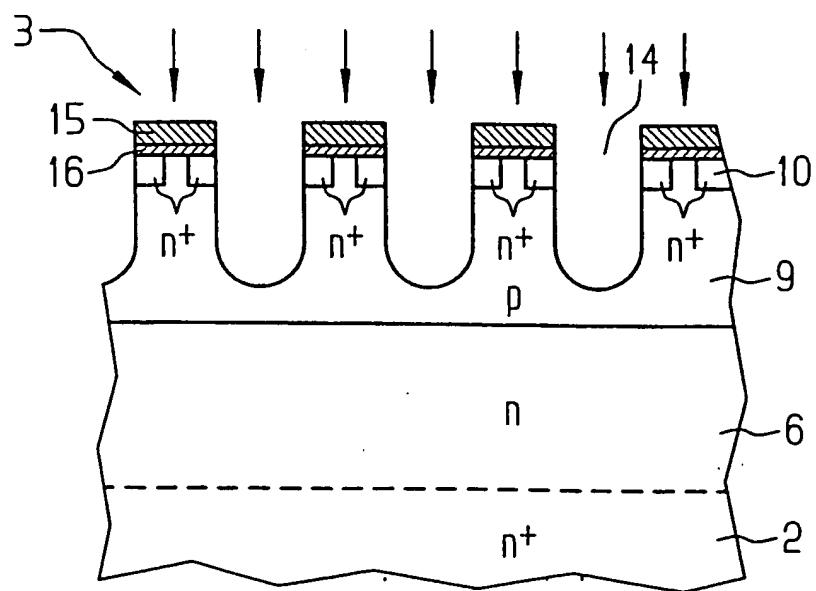


FIG 5B



4/10

FIG 5C

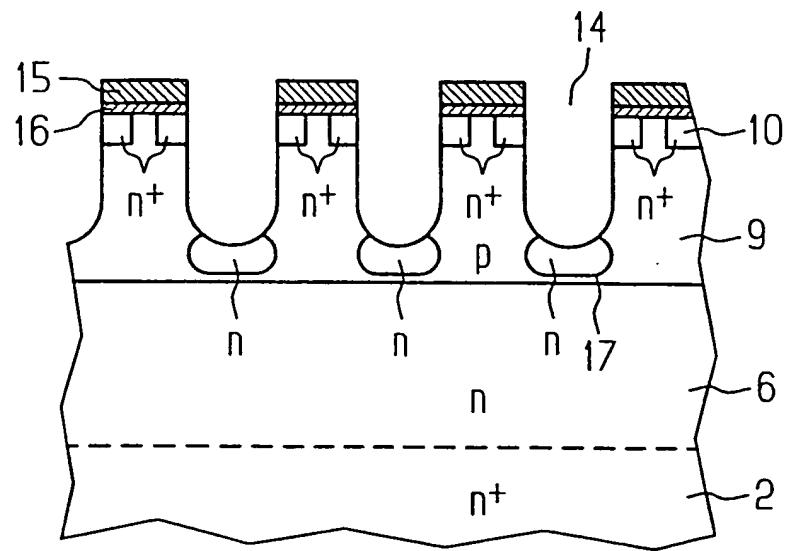
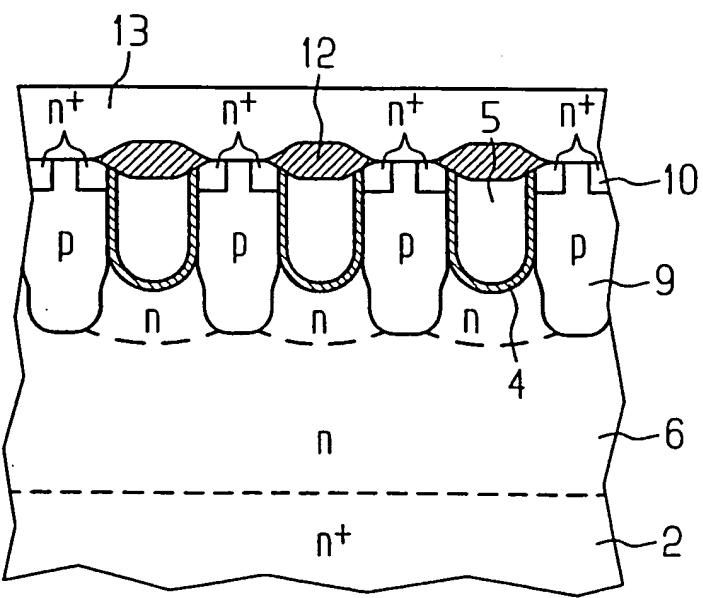


FIG 5D



5/10

FIG 6A

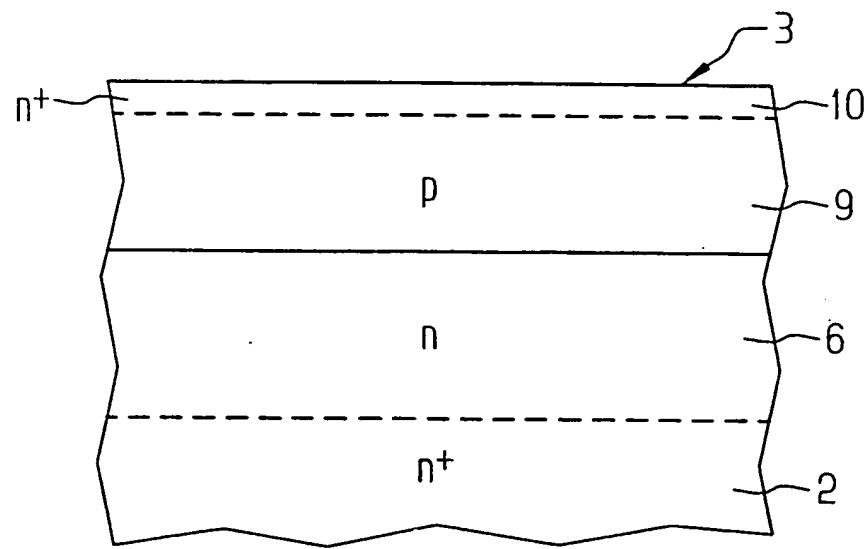
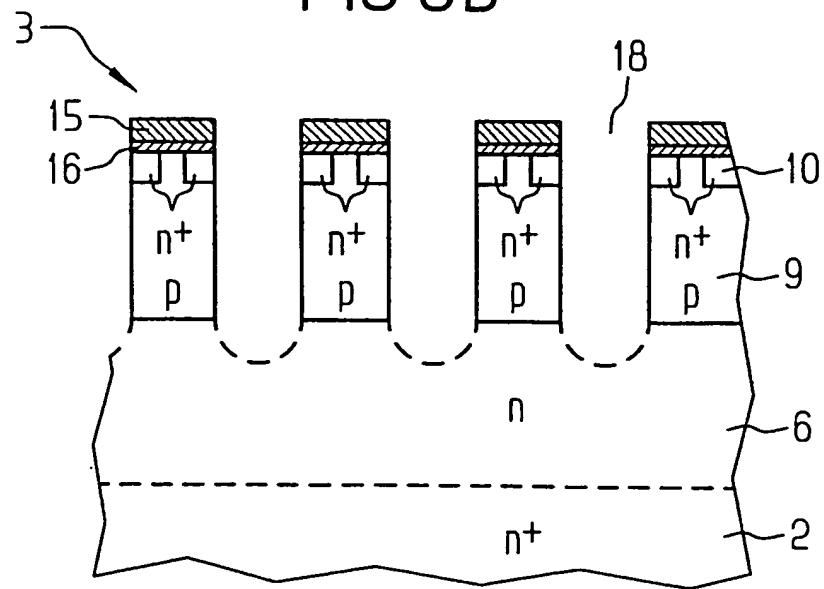


FIG 6B



6/10

FIG 6C

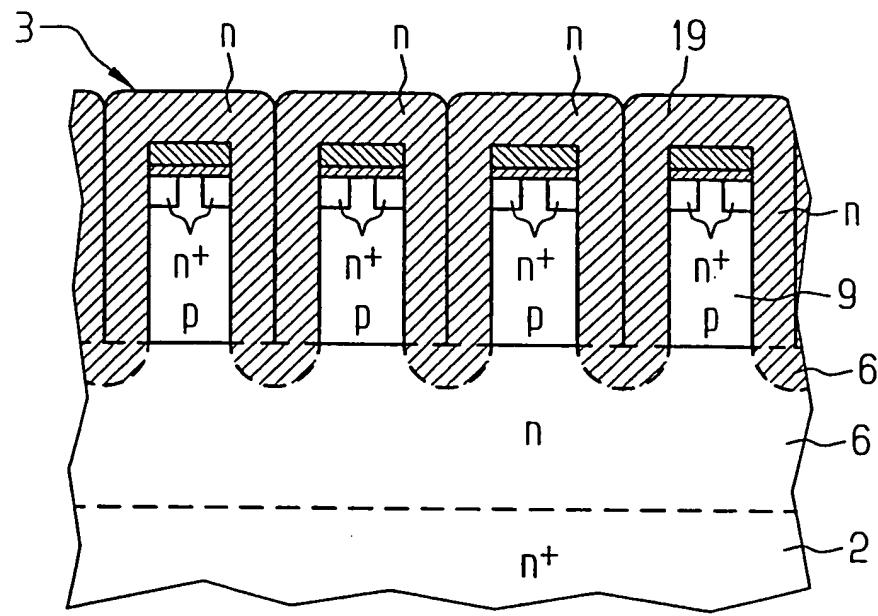
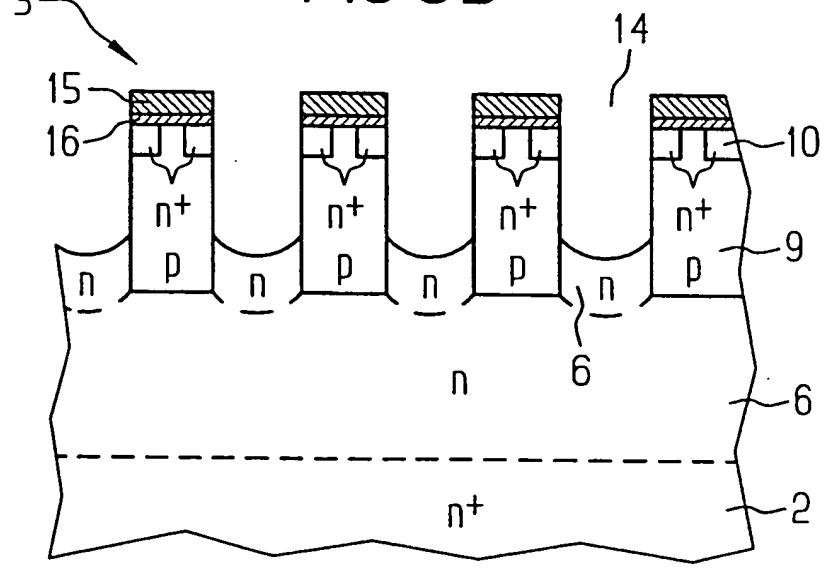
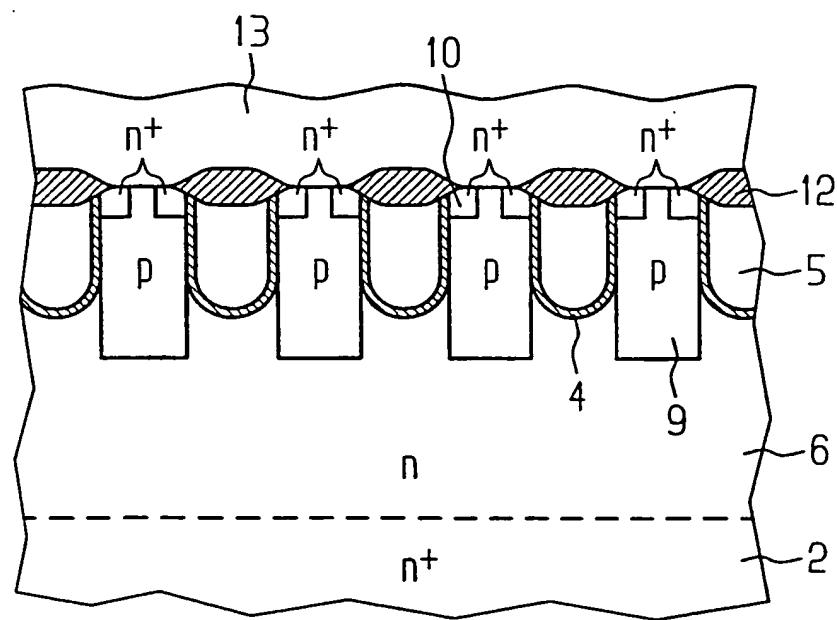


FIG 6D



7/10

FIG 6E



8/10

FIG 7A

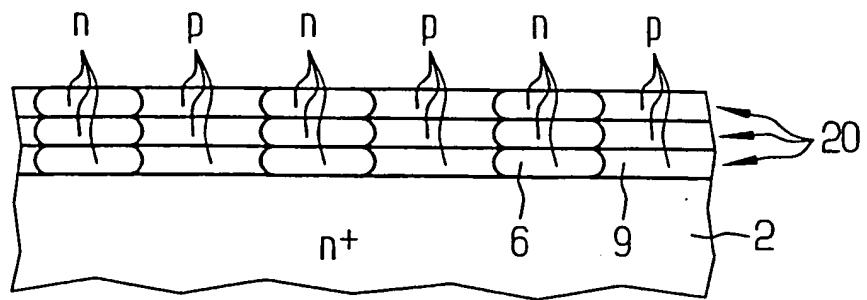
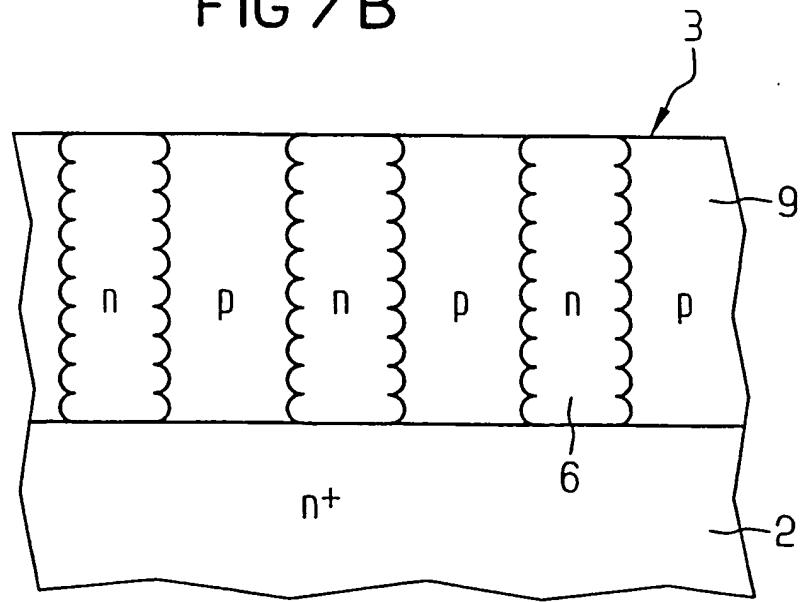


FIG 7B



9/10

FIG 7C

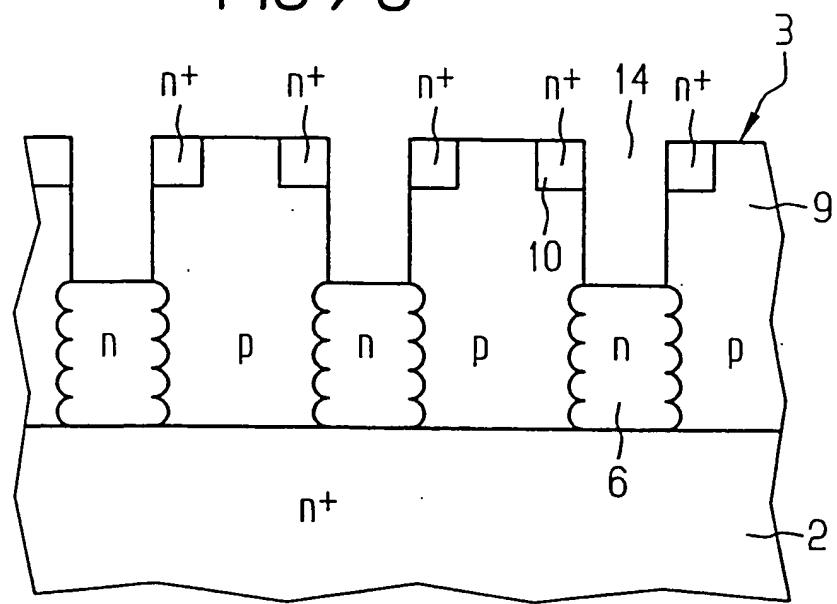
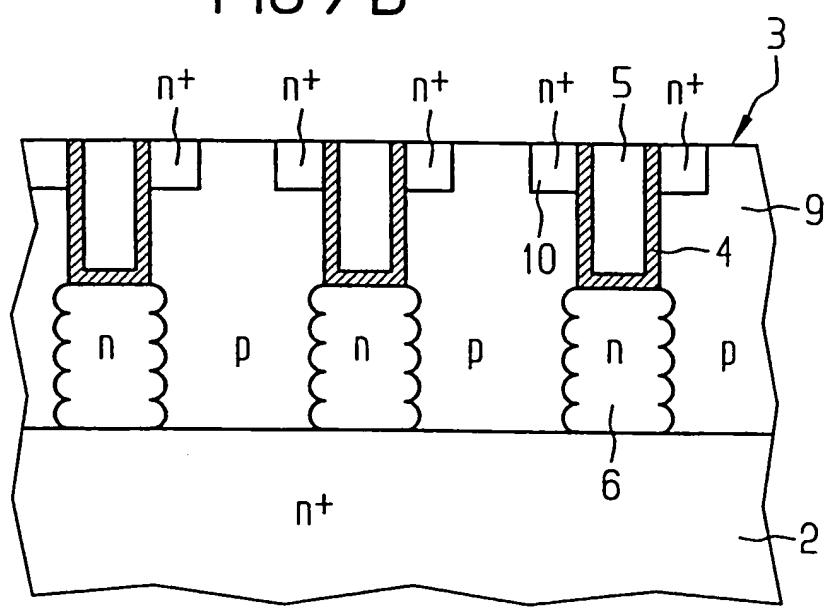


FIG 7D



10/10

FIG 7E

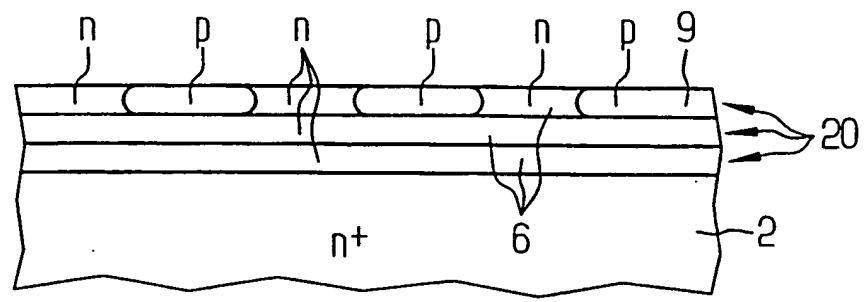
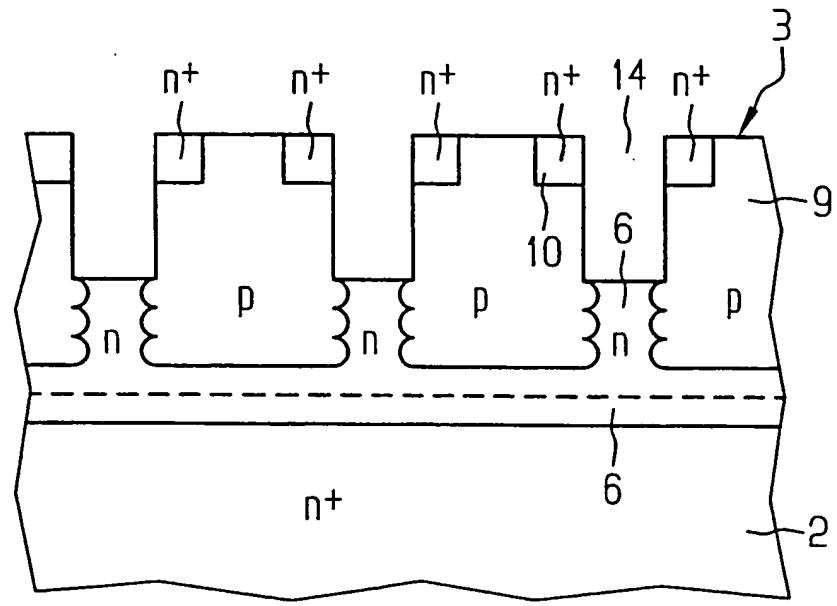


FIG 7F



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. September 2000 (28.09.2000)

PCT

(10) Internationale Veröffentlichungsnummer
WO 00/57481 A3

(51) Internationale Patentklassifikation⁷: **H01L 29/78, 21/336**

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **HIRLER, Franz [DE/DE]; Mozartstr. 4, D-84424 Isen (DE). WERNER, Wolfgang [DE/DE]; Säbenerstr. 256, D-81545 München (DE).**

(21) Internationales Aktenzeichen: **PCT/DE00/00621**

(74) Gemeinsamer Vertreter: **INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).**

(22) Internationales Anmelddatum:
1. März 2000 (01.03.2000)

(81) Bestimmungsstaaten (national): **JP, US.**

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:
199 13 375.1 24. März 1999 (24.03.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG [DE/DE]; St-Martin-Str. 53, D-81541 München (DE).**

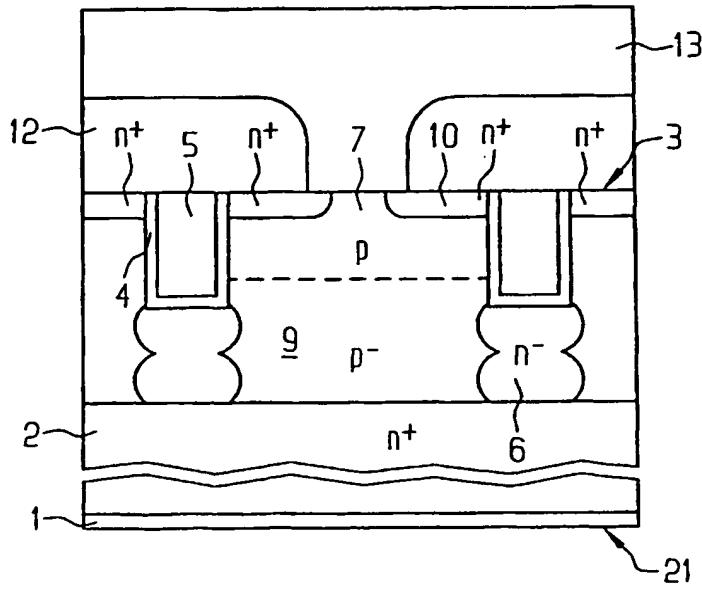
(84) Bestimmungsstaaten (regional): **europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).**

[Fortsetzung auf der nächsten Seite]

(54) Title: MOS-TRANSISTOR STRUCTURE WITH A TRENCH-GATE ELECTRODE AND A REDUCED SPECIFIC CLOSING RESISTOR AND METHODS FOR PRODUCING AN MOS TRANSISTOR STRUCTURE

(54) Bezeichnung: MOS-TRANZISTORSTRUKTUR MIT EINER TRENCH-GATE-ELEKTRODE UND EINEM VERRIGERTEN SPEZIFISCHEN EINSCHALTWIDERSTAND UND VERFAHREN ZUR HERSTELLUNG EINER MOS-TRANZISTORSTRUKTUR

WO 00/57481 A3



(57) Abstract: The invention relates to an MOS transistor structure with a trench gate electrode and a reduced specific closing resistor. The integral of the doping concentration of the body region in the lateral direction between two adjacent drift regions is greater than or equal to the integral of the doping concentration in a drift region in the same lateral direction. The invention also relates to methods for producing an MOS transistor structure. Body regions and drift regions are produced by means of epitaxial growth and implantation, repeated epitaxial growth or by filling trenches with doped conduction material.

[Fortsetzung auf der nächsten Seite]



Veröffentlicht:

— mit internationalem Recherchenbericht

(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:

26. Juli 2001

Zur Erklärung der Zweibuchstaben-Codes, und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Beschrieben wird eine MOS-Transistorstruktur mit einer Trench-Gate-Elektrode und einem verringerten spezifischen Einschaltwiderstand, wobei das Integral der Dotierungskonzentration der Bodyregion in der lateralen Richtung zwischen zwei benachbarten Driftregionen größer oder gleich ist wie das Integral der Dotierungskonzentration in einer Driftregion in derselben lateralen Richtung. Weiter werden Verfahren zur Herstellung einer MOS-Transistorstruktur offenbart, wobei Bodyregionen und Driftregionen durch epitaktisches Aufwachsen und Implantation, wiederholtes epitaktisches Aufwachsen oder durch Auffüllen von Gräben mit dotiertem Leitungsmaterial erzeugt werden.

INTERNATIONAL SEARCH REPORT

Interr	ial Application No
PCT/DE 00/00621	

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L29/78 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 216 275 A (CHEN XINGBI) 1 June 1993 (1993-06-01) cited in the application the whole document ---	1,2,4,5
Y	---	3,15-18
Y	DEBOY G ET AL: "NEW GENERATION OF HIGH VOLTAGE MOSFETS BREAKS THE LIMIT LINE OF SILICON" INTERNATIONAL ELECTRON DEVICES MEETING, US, NEW YORK, NY: IEEE, 6 December 1998 (1998-12-06), pages 683-685, XP000859463 ISBN: 0-7803-4775-7 the whole document ---	3,17
		-/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority, claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

18 August 2000

Date of mailing of the international search report

12.01.01

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

GELEBART J.F.M.

INTERNATIONAL SEARCH REPORT

Int'l. Application No
PCT/DE 00/00621

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 04, 30 April 1999 (1999-04-30) -& JP 11 026758 A (FUJI ELECTRIC CO LTD), 29 January 1999 (1999-01-29) abstract; figure 5 ---	6,9
Y	US 5 637 898 A (BALIGA BANTVAL J) 10 June 1997 (1997-06-10) abstract; figure 3 ---	7,8, 15-18
Y	US 5 122 474 A (HARRINGTON III THOMAS E) 16 June 1992 (1992-06-16) column 14, line 30 - line 35 -----	7 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE 00/00621

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.: because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See supplemental sheet

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

1-9, 15-18 INSOFAR AS THEY ARE DEPENDENT ON CLAIM NOS. 6-9

Remark on Protest

The additional search fees were accompanied by the applicant's protest.



No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/DE 00/00621

The International Searching Authority has established that this international application contains multiple (groups of) inventions as follows:

1. Claim nos.: 1-9, 15-18 insofar as they are dependent on claim nos. 6-9

VDMOS transistor with a trench electrode which has drift regions under the trench and body regions between adjacent drift regions, the doping and width of said body regions being matched for the purposes of charge compensation;

Method for producing a VDMOS transistor with a trench electrode which has drift regions under the trench and body regions between adjacent drift regions by implantation through the trench floor.

2. Claim nos.: 10, 11,

15-18 insofar as they are dependent on claim nos. 10, 11

Method for producing a VDMOS transistor with a trench electrode which has drift regions under the trench and body regions between adjacent drift regions by repeated epitactic growth of a doped partial layer, areas of the opposite conduction type being produced in the partial layer following each growth session of the same.

3. Claim nos.: 12-14,

15-18 insofar as they are dependent on claim nos. 12-14

Method for producing a VDMOS transistor with a trench electrode which has drift regions under the trench and body regions between adjacent drift regions by filling trenches with doped semiconductor material and partially etching back the material.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 00/00621

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 5216275	A	01-06-1993	CN	1056018 A	06-11-1991
JP 11026758	A	29-01-1999	NONE		
US 5637898	A	10-06-1997	NONE		
US 5122474	A	16-06-1992	US AT DE DE EP HK JP JP WO US US US	4906588 A 158441 T 68928326 D 68928326 T 0422129 A 1003040 A 2716829 B 6500894 T 8912910 A 4943537 A 5682051 A 5688722 A	06-03-1990 15-10-1997 23-10-1997 05-02-1998 17-04-1991 30-09-1998 18-02-1998 27-01-1994 28-12-1989 24-07-1990 28-10-1997 18-11-1997

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/00621

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H01L29/78 H01L21/336

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 216 275 A (CHEN XINGBI) 1. Juni 1993 (1993-06-01) in der Anmeldung erwähnt das ganze Dokument ---	1,2,4,5
Y	---	3,15-18
Y	DEBOY G ET AL: "NEW GENERATION OF HIGH VOLTAGE MOSFETS BREAKS THE LIMIT LINE OF SILICON" INTERNATIONAL ELECTRON DEVICES MEETING, US, NEW YORK, NY: IEEE, 6. Dezember 1998 (1998-12-06), Seiten 683-685, XP000859463 ISBN: 0-7803-4775-7 das ganze Dokument ---	3,17
		-/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- "Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

18. August 2000

Absendedatum des internationalen Recherchenberichts

12.01.01

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patenttaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

GELEBART J.F.M.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen	PCT/DE 00/00621
------------------------------	-----------------

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie:	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 04, 30. April 1999 (1999-04-30) -& JP 11 026758 A (FUJI ELECTRIC CO LTD), 29. Januar 1999 (1999-01-29)	6,9
Y	Zusammenfassung; Abbildung 5 ---	7,8, 15-18
Y	US 5 637 898 A (BALIGA BANTVAL J) 10. Juni 1997 (1997-06-10) Zusammenfassung; Abbildung 3 ---	7
Y	US 5 122 474 A (HARRINGTON III THOMAS E) 16. Juni 1992 (1992-06-16) Spalte 14, Zeile 30 - Zeile 35 -----	8

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/DE 00/00621

Feld I Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich

2. Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich

3. Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

Feld II Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. Da der Anmelder alle erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.

2. Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchengebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.

3. Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchengebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.

4. Der Anmelder hat die erforderlichen zusätzlichen Recherchengebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:
1-9,15-18 INSOWEIT ALS ABHÄNGIG VON ANSPRÜCHEN 6-9

Bemerkungen hinsichtlich eines Widerspruchs

Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
 Die Zahlung zusätzlicher Recherchengebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA 210

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1-9, 15-18 insoweit als Abhängig von Ansprüchen 6-9

VDMOS Transistor mit Graben-Gateelektrode der unter dem Graben Driftregionen aufweist und zwischen benachbarten Driftregionen Bodyregionen aufweist, deren Dotierung und Weite abgestimmt sind zum Zwecke der Ladungskompensation;

Verfahren zur Herstellung eines VDMOS Transistors mit Graben-Gateelektrode der unter dem Graben Driftregionen aufweist und zwischen benachbarten Driftregionen Bodyregionen aufweist mittels Implantierung durch den Boden des Grabens.

2. Ansprüche: 10, 11,
15-18 insoweit als Abhängig von Ansprüchen 10, 11

Verfahren zur Herstellung eines VDMOS Transistors mit Graben-Gateelektrode der unter dem Graben Driftregionen aufweist und zwischen benachbarten Driftregionen Bodyregionen aufweist mittels wiederholtem epitaktischen Aufwachsen einer dotierten Teilschicht, wobei jeweils nach dem Aufwachsen der Teilschicht Bereiche des entgegengesetzten Leitungstyps in der Teilschicht erzeugt werden.

3. Ansprüche: 12-14,
15-18 insoweit als Abhängig von Ansprüchen 12-14

Verfahren zur Herstellung eines VDMOS Transistors mit Graben-Gateelektrode der unter dem Graben Driftregionen aufweist und zwischen benachbarten Driftregionen Bodyregionen aufweist mittels Auffüllen von Gräben mit dotiertem Halbleitermaterial und teilweisem Rückätzen davon.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen..., die zur selben Patentfamilie gehören

Intern	als Aktenzeichen
PCT/DE 00/00621	

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5216275 A	01-06-1993	CN	1056018 A	06-11-1991
JP 11026758 A	29-01-1999	KEINE		
US 5637898 A	10-06-1997	KEINE		
US 5122474 A	16-06-1992	US AT DE DE EP HK JP JP WO US US US	4906588 A 158441 T 68928326 D 68928326 T 0422129 A 1003040 A 2716829 B 6500894 T 8912910 A 4943537 A 5682051 A 5688722 A	06-03-1990 15-10-1997 23-10-1997 05-02-1998 17-04-1991 30-09-1998 18-02-1998 27-01-1994 28-12-1989 24-07-1990 28-10-1997 18-11-1997